

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

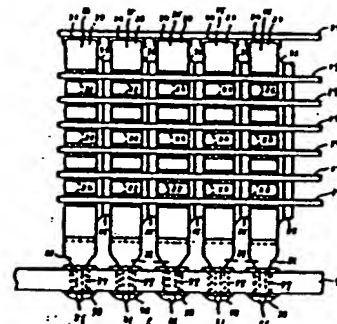
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) SEMICONDUCTOR DEVICE

(11) 58-112348 (A) (43) 4.7.1983 (19) JP
 (21) Appl. No. 56-211715 (22) 25.12.1981
 (71) FUJITSU K.K. (72) NOBUHIKO MIZUO
 (51) Int. Cl.³ H01L23/12, H01L23/48

PURPOSE: To obtain a chip carrier mounted semiconductor device having a structure that the device can be loaded vertically to a wiring substrate.

CONSTITUTION: In a structure wherein the mount density is most enhanced, semiconductor memory devices 35 are erected and arranged on the wiring substrate in a state that each is contacted on the upper and lower surfaces, and the pin external conductive terminal 21 of each semiconductor memory device 35 is inserted into a fixed through hole 37 in the wiring substrate 36, then soldered and fixed. On a coat external conductive terminal 22 the common signal terminal in each memory device 35, a series of common signal wires constituted respectively of conductor 39 are soldered at every row. Two pieces of the pin external conductive terminal are provided, but any number of pieces are available as required. Or, one, which is bar form and formed by burying one end in the carrier, can be also used. While, the cap can be formed of ceramics. Further, it is applicable to a metallic package and a plastic package.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58-112348

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和58年(1983)7月4日

H 01 L 23/12

7357-5F

23/48

7357-5F

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 半導体装置

⑮ 特 願 昭56-211715

⑯ 出 願 昭56(1981)12月25日

⑰ 発 明 者 水尾允彦

川崎市中原区上小田中1015番地

富士通株式会社内

⑱ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 松岡宏四郎

1. 発明の名称

2. 特許請求の範囲

半導体チップが、一外部側面にピン状の外部導電端子を有し、他の外部側面に被膜状の外部導電層を有するチップ・キャリアに実装されてくることを特徴とする半導体装置。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は半導体チップがチップ・キャリアに実装された半導体装置に係り、特に半導体チップとして半導体メモリ素子がチップ・キャリアに実装された半導体装置に於ける外部導電端子の構造に関する。

(b) 技術的背景

計算機システム等の大規模化に伴い、前記計算機システムに搭載される半導体メモリ素子等の半導体集積回路 (I.C.) 素子の数は非常に増大を遂げており、このことはシステムの大規模化を招き、

それに伴ってシステム内の配線長が長くなり計算機システムの低下を招く。そこで、計算機システム等に於ける半導体 I.C. 素子の実装密度を高めシステムの大規模化を抑える手段として提供されたのが、チップ・キャリア実装構造の半導体 I.C. 装置である。

(c) 従来技術と問題点

従来から用いられているチップ・キャリアの中で、最も実装密度が高められる構造にリードレス・チップ・キャリアがある。第1図はリードレス・チップ・キャリアに実装された半導体 I.C. 装置に於ける一列の断面図 (a) 及び底面図 (b) を示したものである。そして図 (a) に於て 1 はセラミック基板、2 はセラミック層、3 は炭素に金 (Au) めっき等が施されたチップ・ステア、4 は炭素に Au めっき等が施されている内部配線、5 は内部配線からそれぞれ延出する Au めっき等が施されている外部配線、6 は外部配線がそれぞれ延出する炭素に Au めっき等が施された被膜状の外部端子、7 はチップろう付け用ノリライズ層、8 は金層チップ、9 は炭素 (Au) 合金等のろう材、

10は半導体ICチップ、11はボンディング・パッド、12はアルミニウム(Al)等のボンディング・ワイヤ、13は金(Au)/シリコン(81)層を示している。

このように構造を有する従来のチップ・キャリアに実装された半導体IC装置は、計算機システム等に配設される配線基板に対して底面を下にして水平に(平面)実装される。その実装状態を示したのが第2図で、図中14は前記チップ・キャリア実装構造の半導体IC装置、15はセラミクス或るいはプラスチクスにより形成された配線基板、16は配線パターン、6は前記外部端子、17は平坦層のろう材を供している。

上記のように従来のチップ・キャリア実装構造の半導体IC装置に於ては配線基板に対して平面実装がなされるために、チップ・キャリアの平面積によって実装密度が制限され更に実装密度を高めることができなかった。

(d) 発明の目的

本発明は上記問題点に鑑み、配線基板に対して

チップ・キャリア23上に例えば金属キャップ25が形成されてきている。なお前記チップ・キャリア23に於けるピン状外部導電端子21は、通常構造の内部配線26aからチップ・キャリア23の一側面に延出された外部配線27a上に鉄/ニッケル合金等通常の導電材料からなる例えばピン状打抜き加工片が嵌ろう28等によりろう付けされて形成され、又被動状外部導電端子22は内部配線26bからチップ・キャリア23の他配以外側の三側面に延出された外部配線27b上に金めっき等が施されて形成される。そして半導体メモリ・チップ24は通常構造のチップ・スプー29上に金/シリコン合金30等を介してろう付けされ、例えば該半導体メモリ・チップ24のチップ・セレクト端子等チップ固有の信号が見られるパッド端子31aとピン状外部導電端子に接続する内部配線26aとがアルミニウム等のボンディング・ワイヤ31により接続される。又入出力端子、電線端子等各メモリ・チップに対して共通に配設されるパッド端子31bと被動状外部導電端子22

位置に接続することが可能を構造を有するチップ・キャリア実装の半導体装置を提供し、実装密度を向上せしめることを目的とする。

(e) 発明の構成

本発明は半導体装置に於て、半導体チップが、一外部側面にピン状の導電端子を有し他の外部側面に被動状の導電端子を有するチップ・キャリアに実装されてなることを特徴とする。

(f) 発明の実施例

以下本発明を、半導体メモリ装置に於ける一実施例について、第3図に示す上面図(H)、側面図(I)、A-A'矢視断面図(J)、下面図(K)及び第4図に示す実装方法に於ける一実施例の上面図(L)、側面図(M)を用いて詳細に説明する。

本発明を適用した半導体メモリ装置は、例えば第3図(H)、(I)、(J)に示すよう、一側面に例えば2(本)のピン状外部導電端子21が配設され、他の三側面に所望数の被動状外部導電端子22が配設されたセラミック・チップ・キャリア23内に半導体メモリ・チップ24が実装され、該チップ

に接続する内部配線26bとがボンディング・ワイヤ32により接続される。本発明の構成に於ては、通常このようにピン状外部導電端子21をチップ・セレクト端子等各メモリ装置に固有な信号端子とし、被動状外部導電端子22を入出力端子或るいは電線端子等各メモリ装置に対する共通信号の端子とする。そして上記のように半導体メモリ・チップ24が実装されたチップ・キャリア23上面に形成されている通常構造の閉止枠33上に鉄/錫合金等のろう材34を介して金属キャップ25が気密にろう付けされてきている。

本発明の構成を有する半導体装置は該半導体装置に配設されたピン状外部導電端子を介して配線基板上に立てて実装することができる。

第4図は前記実施例に示した半導体メモリ装置の実装例を示したもので、図中21はピン状外部導電端子(固有信号端子)、22は被動状外部導電端子(共通信号端子)、23はセラミック・チップ・キャリア、25は金属キャップ、34はろう材、35は半導体メモリ装置、36は

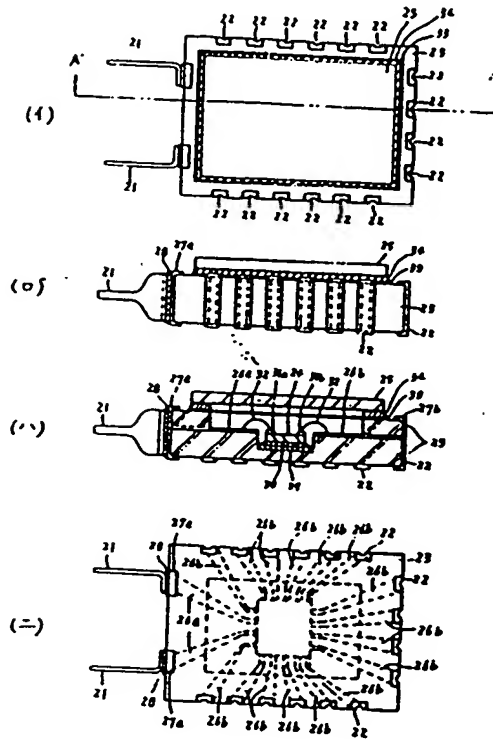
第4図は前記実施例に於て、下図で互いが互に立て並べられ、各4外部導電端子21がスルーホール37に定される。そして各信号端子である被動端子にそれぞれ導通層が平坦付けされる。なお上記実施例に2(本)設けたが、図さじつかえない。又図で一層がキャリア内にいてもよい。又キャリアもよい。更に又本発明はチップパッケージにも2

ブ、26a及び26bは1bは外部配線、28は嵌ろう、30は金/シリコンはパッド端子、32はワイヤ、33は閉止枠、34はろう材、36は配線基板、38は平坦、39は導通層

代理人 介屋士

第 3 圖

112348(4)



第 4 圖

